|  |  |
| --- | --- |
| Gerb-BMSTU_01 | **Министерство науки и высшего образования Российской Федерации**  **Федеральное государственное бюджетное образовательное учреждение**  **высшего образования**  **«Московский государственный технический университет**  **имени Н.Э. Баумана**  **(национальный исследовательский университет)»**  **(МГТУ им. Н.Э. Баумана)** |

ФАКУЛЬТЕТ **Информатика и системы управления**

КАФЕДРА **Компьютерные системы и сети (ИУ6)**

НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.01 Информатика и вычислительная техника**

**Отчет**

|  |  |
| --- | --- |
| **по лабораторной работе №** | 2 |

**Название:**

Исследование мультиплексоров

**Дисциплина:** Схемотехника

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Студент | ИУ6-52Б |  |  | И.С. Марчук |
|  | (Группа) |  | (Подпись, дата) | (И.О. Фамилия) |
|  |  |  |  |  |
| Преподаватель |  |  |  | Т.А.Ким |
|  |  |  | (Подпись, дата) | (И.О. Фамилия) |

Москва, 2021

**Цель работы:** изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов.

**Вариант:** 8

Комбинация сигналов: 10101001

ФАЛ: 0, 1, 2, 4, 9, 11, 12, 13, 15

**Ход работы**

1. Исследование ИС ADG408 или ADG508 (рис.6) в качестве коммутатораMUX 8 – 1 цифровых сигналов:

а) на информационные входы D0 …D7 мультиплексора подать комбинацию сигналов, заданную преподавателем из табл. 2. Логические уровни 0 и 1 задавать источниками напряжения U=5 В и 0 В (общая);

б) на адресные входы А2, А1, А0 подать сигналы Q3, Q2. Q1 соответственно c выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц.

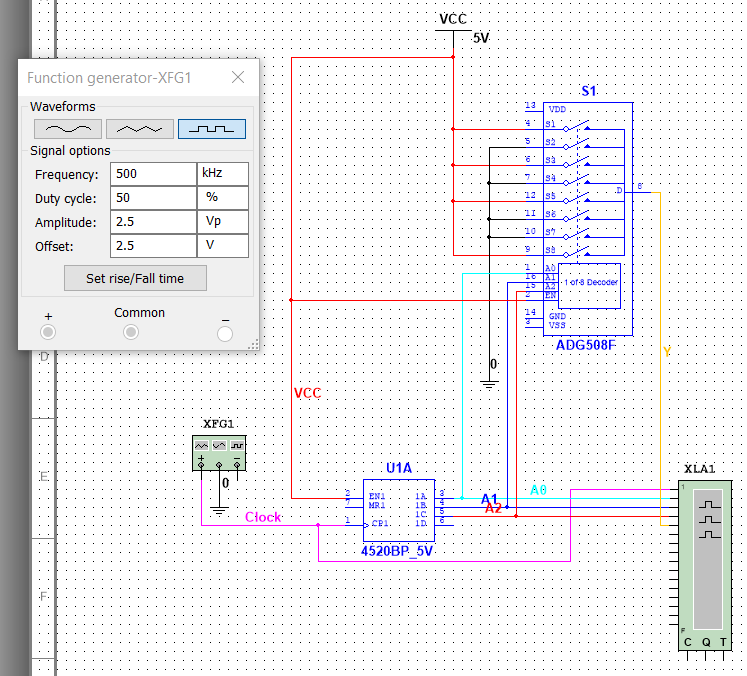


Рисунок 1 - исследование мультиплексора ADG508

в) снять временную диаграмму сигналов при EN=1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе.

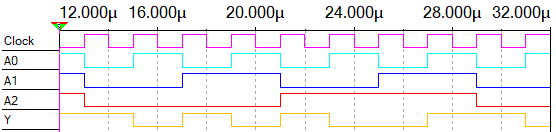


Рисунок 2 - временная диаграмма сигналов в схеме

2. Исследование ИС ADG408 или ADG508 (рис.6) в качестве коммутатора MUX 8 – 1 аналоговых сигналов:

а) на информационные входы D0 …D7 мультиплексора подать дискретные уровни напряжений с источников напряжения UCC (приложение Мultisim):

0В; 0.7 В; 1.4 В; 2.1 В; 2.8 В; 3.5 В; 4.2 В; 5.0 В;

б) на адресные входы А2, А1, А0 подать сигналы Q3, Q2. Q1 соответственно c выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц;

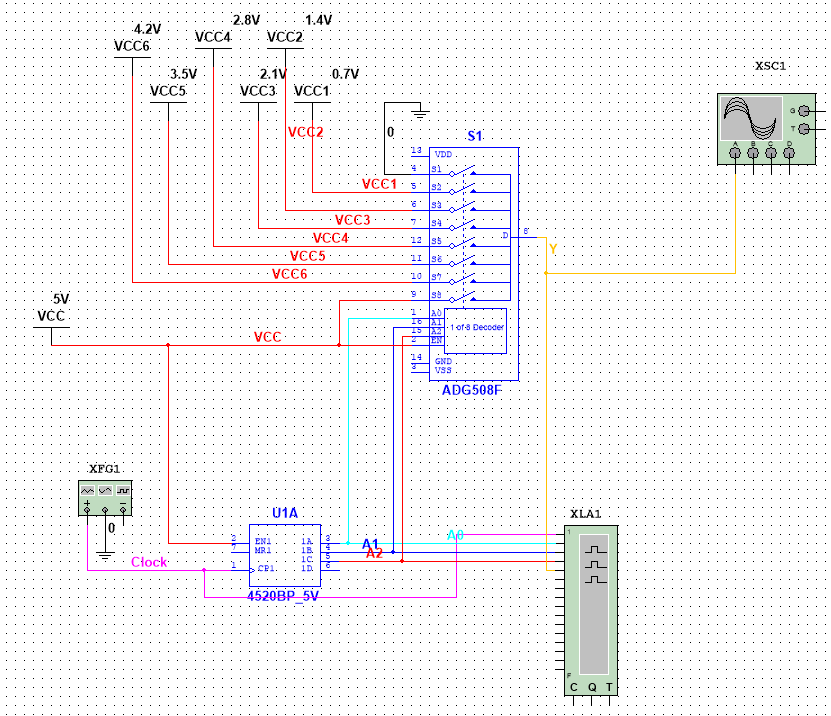


Рисунок 3 - использования мультиплексора в качестве коммутатора аналоговых сигналов

в) снять временную диаграмму сигналов при EN=1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе, выходного сигнала мультиплексора – на логическом анализаторе и осциллографе. Совместить развертки сигналов, регистрируемых логическим анализатором и осциллографом.

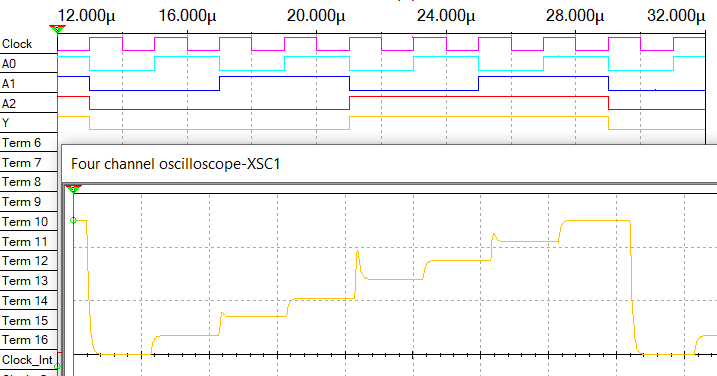


Рисунок 4 - временные диаграммы сигналов на логическом анализаторе и осциллографе

Как видно на показаниях осциллографа, при переключении мультиплексора сигнал искажается помехами. Для их устранения установим на выходе простейший ФНЧ на основе конденсатора.

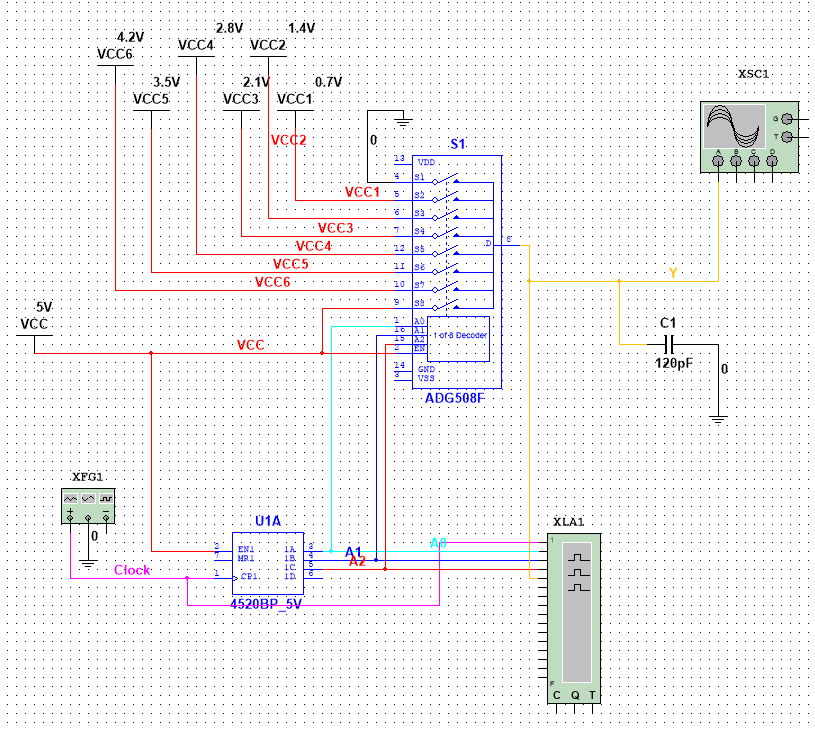


Рисунок 5 - использования мультиплексора в качестве коммутатора аналоговых сигналов c применением ФНЧ

Как видно из показаний осциллографа ниже, влияние помех на сигнал после введения ФНЧ уменьшилось.

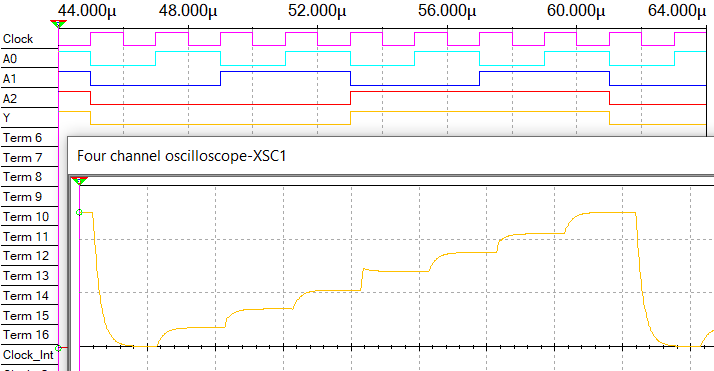


Рисунок 6 - показания осциллографа после введения ФНЧ

3. Исследование ИС ADG408 или ADG508 (рис.6) как коммутатора MUX 8 –1 цифровых сигналов в качестве формирователя ФАЛ четырех переменных. ФАЛ задается преподавателем из табл. 2. Проверить работу формирователя в статическом и динамическом режимах. Снять временную диаграмму сигналов формирователя ФАЛ и провести ее анализ.

Составим таблицу истинности, указанной ФАЛ (Таблица 1).

Таблица 1 - таблица истинности ФАЛ.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| n | X4 | X3 | X2 | X1 | F | Примеч. |
| 0 | 0 | 0 | 0 | 0 | 1 | D0=1 |
| 1 | 0 | 0 | 0 | 1 | 1 |
| 2 | 0 | 0 | 1 | 0 | 1 | D1=!X1 |
| 3 | 0 | 0 | 1 | 1 | 0 |
| 4 | 0 | 1 | 0 | 0 | 1 | D2=!X1 |
| 5 | 0 | 1 | 0 | 1 | 0 |
| 6 | 0 | 1 | 1 | 0 | 0 | D3=0 |
| 7 | 0 | 1 | 1 | 1 | 0 |
| 8 | 1 | 0 | 0 | 0 | 0 | D4=X1 |
| 9 | 1 | 0 | 0 | 1 | 1 |
| 10 | 1 | 0 | 1 | 0 | 0 | D5=X1 |
| 11 | 1 | 0 | 1 | 1 | 1 |
| 12 | 1 | 1 | 0 | 0 | 1 | D6= 1 |
| 13 | 1 | 1 | 0 | 1 | 1 |
| 14 | 1 | 1 | 1 | 0 | 0 | D7=X1 |
| 15 | 1 | 1 | 1 | 1 | 1 |

На основе таблицы истинности составим схему, подавая 3 сигнала на адресные входы и один (в случаях, когда это необходимо) сигнал - на информационные входы.

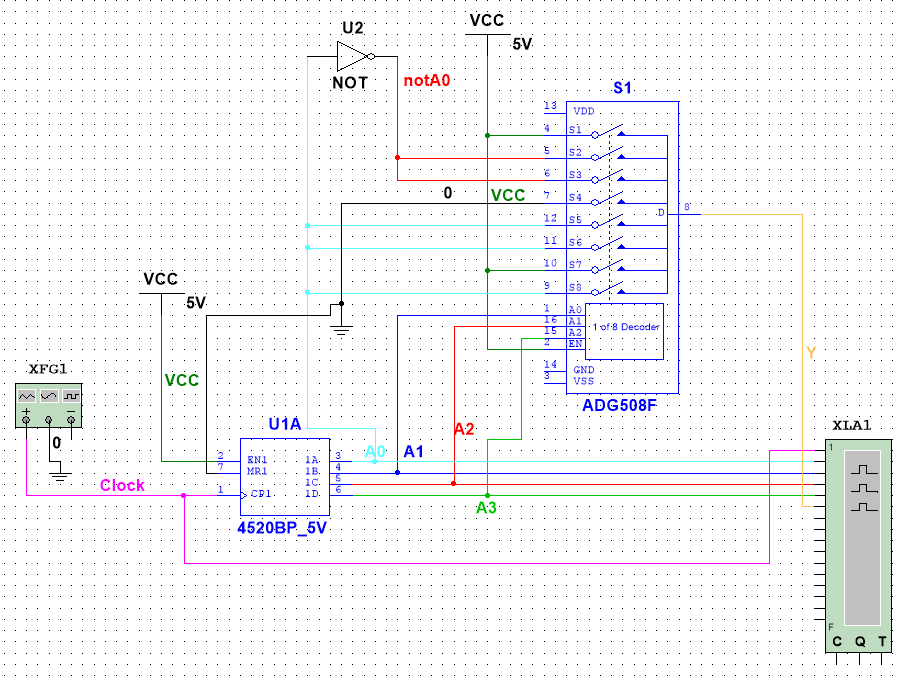


Рисунок 7 - реализация ФАЛ на мультиплексоре

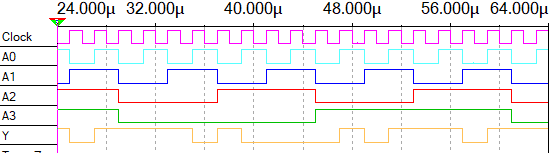


Рисунок 8 - временная диаграмма сигналов в схеме

4. Наращивание мультиплексора.

Построить схему мультиплексора MUX 16 – 1 на основе простого мультиплексора MUX 4 – 1 и дешифратора DC 2-4 (рис.2, второй вариант наращивания, см. выше). Исследовать мультиплексора MUX 16 – 1 в динамическом режиме. На адресные входы подать сигналы с 4-разрядного двоичного счетчика, на информационные входы D0 …D15 – из табл. 2. Провести анализ временной диаграммы сигналов мультиплексора MUX 16–1.

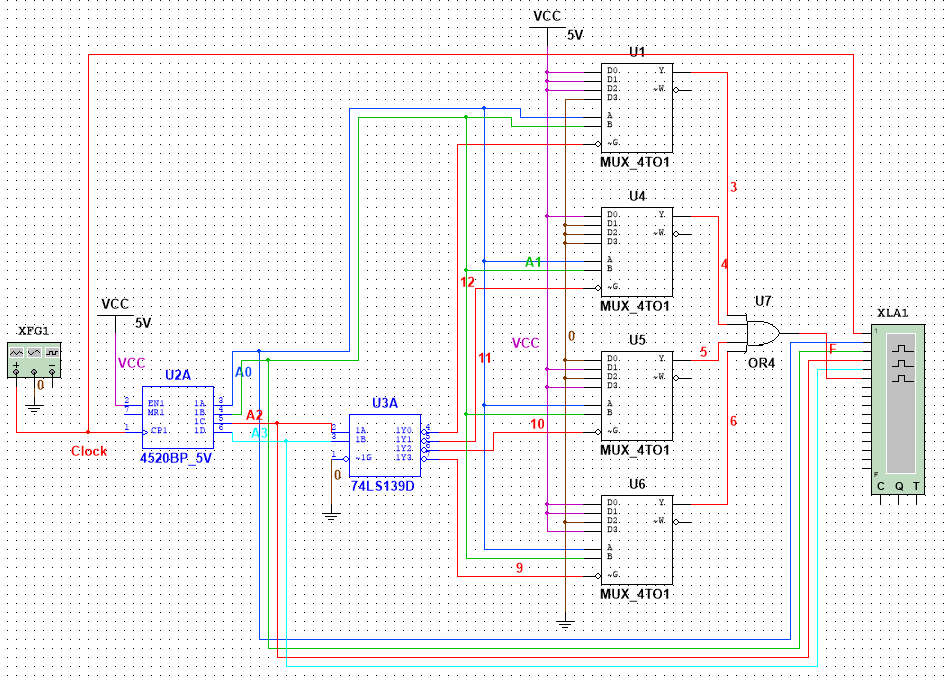


Рисунок 9 – Логическая функция на мультиплексоре 16-1

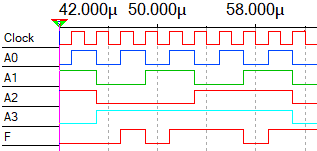


Рисунок 10 - временная диаграмма сигналов

**Вывод:** были изучены принципы работы мультиплексора, а также способы построения на нем логических функций.